

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010064117 A
(43)Date of publication of application: 09.07.2001

(21)Application number: 1019990062250

(22)Date of filing: 24.12.1999

(71)Applicant:

HYNIX SEMICONDUCTOR
INC.

(72)Inventor:

JUNG, HYE SUK

(51)Int. Cl.

G11C 8/00

(54) DELAY LOCKED LOOP WITH FAST LOCKING TIME

(57) Abstract:

PURPOSE: A delay locked loop with fast locking time is provided to enable operation at high frequency by enlarging the pulse width by double and to reduce locking time by adjusting time delay.

CONSTITUTION: The delay locked loop with fast locking time includes a clock buffer(610), the first delay(710), the second delay(720), a delay locked signal driver(700), a clock divider(620), a delay modeling part, the first and second phase comparators(630,660), the first shifter(650) and the second shifter(680). The clock buffer receives an outer clock and generates a level signal. The first delay delays the output signal of the clock buffer. The second delay delays the output signal of the first delay. The delay locked signal driver buffers and outputs the output signal of the second delay. The clock divider outputs the first signal(ref) and the second signal(delay_in) synchronized once by every forth clocks. The delay modeling part models the delayed value of the second signal and generates a feedback signal. The first and second phase comparators compares the times of feedback signal and the first signal. The first shifter adjusts the delay with response to the output signal of the first phase comparator. The second shifter adjusts the delay with response to the output signal of the second phase comparator.



COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (20011025)

Patent registration number (1003217550000)

Date of registration (20020110)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ G11C 8/00	(11) 공개번호 (43) 공개일자	특2001-0064117 2001년 07월 09일
(21) 출원번호 (22) 출원일자 (71) 출원인	10-1999-0062250 1999년 12월 24일 주식회사 하이닉스반도체 박종섭	
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 정해숙	
(74) 대리인	서울특별시종로구효제동138번지 특허법인 신성 박해원, 특허법인 신성 원석희, 특허법인 신성 최정호, 특허법인 신성 정지원	

상세한 청구 : 없음

(54) 복원 시간에 따른 지연 고정루프

요약

본 발명은 반도체 메모리 장치에 있어서 지연 고정루프(DLL, Delay Locked Loop)에 관한 것으로 더욱 상세하게는 딜레이 라인을 큰 딜레이를 가지는 제1 딜레이 라인과 최소의 딜레이를 가지는 제2 딜레이 라인을 사용하여 초기의 록킹(Locking) 시간을 짧게 하였고 두 배의 플록 사이클에 해당하는 플스폭을 가지는 신호를 생성하여 고주파에서도 동작이 가능하게 하는 방법에 관한 것이다. 이를 위하여 본 발명은 반도체 메모리 장치의 지연 고정루프에 있어서, 외부 플록을 입력받아 내부에서 사용하는 래벨 신호를 생성하기 위한 플록버퍼; 상대적으로 큰 단위 딜레이로 구성되어 상기 플록버퍼의 출력신호를 지연시키기 위한 제1 딜레이라인부; 최소 단위 딜레이로 구성되어 상기 제1 딜레이라인부로부터의 출력신호를 지연시키기 위한 제2 딜레이라인부; 상기 제2 딜레이라인부로부터의 출력신호를 버퍼링하여 출력하기 위한 지연 고정루프 신호구동부; 상기 플록버퍼의 출력에 응답하여 네 플록마다 한번씩 플록에 동기되어 두 배의 플록 사이클에 해당하는 플스폭을 가지는 제1 신호(rel) 및 제2 신호(delay_in)를 생성하기 위한 플록분주기; 상기 제2 신호가 상기 제1 딜레이라인부 및 상기 제2 딜레이라인부를 통해 딜레이된 값을 모델링하여 피드백신호를 생성하기 위한 딜레이 모델링부; 상기 피드백신호와 상기 제1 신호에 응답하여 두 신호의 시간차를 비교하는 제1 위상 비교기 및 제2 위상 비교기; 상기 제1 위상 비교기의 출력신호에 응답하여 상기 제1 딜레이라인부의 딜레이값을 조절하기 위한 제1 쉬프트 수단; 및 상기 제2 위상 비교기의 출력신호에 응답하여 상기 제2 딜레이라인부의 딜레이값을 조절하기 위한 제2 쉬프트 수단을 포함하여 이루어진 것에 특징이 있다.

도면도

도 1

측면도

플록버퍼, 플록 분주기, 위상 비교기, 쉬프트 레지스터, 쉬프트 레지스터, 딜레이라인

설명서

도면의 간단한 설명

- 도 1은 종래기술의 지연 고정루프 블록도,
- 도 2a는 종래기술의 위상 비교기 블록도,
- 도 2b, 도 2c, 도 2d는 종래기술의 위상 비교기의 신호 흐름도,
- 도 3은 종래기술의 딜레이 라인과 쉬프트 레지스터의 블록도,
- 도 4는 종래기술의 지연 고정루프의 신호 흐름도,
- 도 5a, 도 5b는 종래기술의 문제점에 대한 신호 흐름도,
- 도 5c는 본 발명의 개선 사항에 대한 신호 흐름도,
- 도 6은 본 발명에 대한 지연 고정루프의 블록도,
- 도 7은 본 발명에 대한 지연 고정루프의 신호 흐름도,

도 8a은 본 발명에서 사용된 제1위상 비교기의 블록도,
 도 8b는 본 발명에서 사용된 제1위상 비교기의 신호 흐름도,
 도 9a는 본 발명에서 사용된 제2위상 비교기의 블록도,
 도 9b는 본 발명에서 사용된 제2위상 비교기의 신호 흐름도.

* 도면의 주요 부분에 대한 부호의 설명 *

600 : 클록 버퍼
620 : 제1위상 비교기
640 : 제1쉬프트 레지스터
610 : 클록 분주기
630 : 제1쉬프트 제어기
650 : 제1데이터 라인

225 235 245

2023 2024

2019年12月25日

본 발명은 반도체메모리 장치에 관한 것으로, 특히 초기의 록킹(Locking) 시간을 빠르게 하는 지연조정부에 관한 것이다.

일반적으로 지연고정루프란 반도체메모리 장치에서 클록을 사용하는 동기식 메모리의 내부 클록을 여러 없이 외부 클록과 일치되게 하기 위해서 사용하는 회로이다. 즉 외부에서 들어오는 클록이 내부에서 사용될 때 타이밍 윌래이가 발생하는데, 이 타이밍 윌래이를 제어하여 내부에서 사용하는 클록이 외부에서 들어오는 클록과 동일하도록 하기 위해서 사용한다.

도1은 종래기술에 따른 제온고정루프의 블록도이다.

도1을 참조하면, 외부 클럭에 응답하여 내부의 레벨 신호를 생성하는 클럭버퍼(100), 여덟 클럭마다 한번씩 펄스를 생성하고 한 펄스의 크기가 한 클럭 사이클인 클럭 분주기(110), 외부 클럭과 내부 클럭을 비교하는 위상 비교기(120), 위상 비교기의 출력에 응답하여 쉬프트 레지스터를 좌우로 이동시키는 신호를 생성하는 쉬프트 제어기(130), 쉬프트 제어기의 제어를 받아서 좌우로 이동하는 쉬프트 레지스터(140), 신호 떨림(Jitter)을 줄이기 위하여 최초의 단위 셀레로 구성된 필터에 라인(150), 외부에서 유입된 클럭과 실제 내부 클럭간의 시간 차이를 보상에 주는 필터에 모뎀(160), 지연 고정 루프 회로에서 발생한 클럭 신호를 내부로 구동시키는 지연 고정 루프 신호 구동기(170)으로 구성되어 있다.

구체적으로 설명되지 않는 각 블록들의 입출력 신호 관계에 대해서는 후술되는 세부 구성 설명 및 동작 설명에서 상세히 언급될 것이다.

도2a는 종래기술에 따른 위상 비교기(120)와 쉬프트 제어기(130)를 도시한 것이다.

위상 비교기는, 클럭분주기에서 출력된 제1신호 ref와 외부에서 들어온 클럭과 실제 내부에서 사용된 클럭의 시간 차를 보상해 주는 **오프셋 모델**에서 **오프셋**을 거친 피드백신호 feedback를 입력으로 하여 외부의 제1신호(ref)와 내부의 클럭 피드백신호(feedback)를 비교하는 회로이다. 구성은 상기 제1신호 ref와 상기 피드백신호 feedback를 입력으로 하는 두개의 비교기(122)와 상기 피드백신호 feedback를 **오프셋** 시키는 단위 **오프셋**(121)와 상기 피드백신호 feedback와 상기 제1신호 ref를 부정논리합한 후 그 출력 신호를 입력으로 하여 출력신호 cmp_pulse를 발생시키는 제머수단(123)으로 이루어져 있다. 쉬프트 레지스터는 비교기(130)는 비교기의 출력 신호 PC0 및 PC2를 입력받는 난드게이트(131), 비교기의 출력 신호 PC1 및 PC2를 입력받는 난드게이트(132), 상기 난드게이트(131)의 출력을 반전시키는 인버터(133), 상기 난드게이트(132)의 출력을 반전시키는 인버터(134), 상기 인버터(133)의 출력과 펄스발생기(123)의 출력 신호 cmp_pulse를 입력받는 난드게이트(135), 상기 인버터(134)의 출력과 펄스발생기(123)의 출력 신호 cmp_pulse를 입력받는 난드게이트(136), 상기 난드게이트(135)의 출력을 반전시켜 신호 SR을 출력하는 인버터(137), 상기 난드게이트(136)의 출력을 반전시켜 신호 SL을 출력하는 인버터(138)로 구성되어 있다.

전체적인 동작은 상기 피드백 신호 feedback과 단위 딜레이(121)의 출력 신호 1delay를 상기 제1 신호 ref와 비교하여 상기 피드백 신호 feedback과 상기 신호 1delay가 상기 제1 신호 ref의 왼쪽에 있으면 우로 이동시키기 위해 제어 신호 SL를 생성하고 상기 피드백 신호 feedback이 상기 제1 신호 ref의 왼쪽에 있고 상기 신호 1delay가 상기 제1 신호 ref의 오른쪽에 있으면 록킹(Locking)되고 상기 피드백 신호 feedback과 상기 신호 1delay가 모두 오른쪽에 있으면 너무 불균형된 것이므로 좌로 이동시키기 위해 제어 신호 SL를 생성한다.

도3은 **멀레이** 라인과 **쉬프트 레지스터**를 도시한 블록도이다. **쉬프트 레지스터**는 **멀레이**를 발생시키는 최적의 값을 제공해준다. **쉬프트 레지스터**의 제1(130)의 출력 **SR, SL**을 받아서 동작시킨다. 상기 신호 **SR**을 받으면 **레지스터**의 오른쪽으로 이동시키고 상기 신호 **SL**을 받으면 **레지스터**를 오른쪽으로 이동시켜 준다. **쉬프트 레지스터**의 출력에 전부 루우이고 하나만 하이이면 그 곳이 **멀레이**의 위치를 나타내 준다. 이렇게해서 출력된 하이값은 **나드 게이트**를 거쳐서 **멀레이 라인**으로 입력되는데, **멀레이 라인**은 신호 **떨림(Jitter)**을 줄이기 위하여 최소의 **멀레이**로 구성된 단위 **멀레이**들로 되어 있고 **쉬프트 레지스터**의 제어를 받아서 출력 신호 **reclk_dll**, **felclk_dll**을 만든다. 또한 여덟번 째 블록마다 **필스가 뜨는 제2신호 daisy_in**을 받아서 위상 비교기로 입력되는 신호를 출력한다.

도4의 신호 흐름도를 참조하여 종래기술의 동작에 대하여 설명하면, 먼저 외부에서 들어오는 클럭을 받아서 여덟 클럭마다 한번씩 동기되는 제2신호 delay_in과 그의 반전된 제1신호 ref를 만들어준다. 상기 제1신호 ref는 비교하는 기준이 되는 신호로 쓰이고 상기 제2신호 delay_in은 클럭 분주기에서 출력된 신호로써 딜레이 라인을 거치고 딜레이 모델을 거쳐서 나오는 피드백신호 feedback을 만들어낸다. 상기 피드백신호 feedback은 기준되는 제1신호 ref의 상승 에지와 위상 비교기에서 비교되어져 쉬프트 레지스터를 동작시킨다. 이런 식으로 반복하면서 제1신호 ref와 상기 피드백신호 feedback과 의 최소의 신호 떨림(Jitter)을 가지는 순간에 록킹(Locking)시킨다. 즉 외부에서 들어오는 클럭과 내부에서 들어오는 클럭과의 시간차를 보상하여 주므로써, 실제 내부에서 동작하는 클럭(clk_dil, fclk_dil)은 내부 딜레이를 거쳐서 외부 클럭과 동기되어 동작하게 된다.

여기서 제1신호 ref의 펄스 폭을 5n초라고 하고 단위딜레이의 펄스 폭을 0.2n초, 딜레이모델의 펄스 폭을 5n초라고 하면 단위딜레이와 딜레이모델을 지나서 나오는 피드백신호 feedback은 5.2n초가 되고 비교되는 제1신호 ref가 5n초이므로 제1신호 ref보다 나중에 오게 된다. 이런 경우 위상비교기는 처음부터 왼쪽으로 이동하는 쉬프트를 수행하여야 하는데 딜레이 라인은 처음에 왼쪽으로 이동할 수 없으므로 지연교정루프는 원하는 내부 클럭을 만들 수 없게 된다.(도5a 참조)

이와 같은 이유로 고주파로 가면 기존의 지연교정루프 회로는 원하는 내부 클럭을 찾지 못하게 된다.

종래 기술의 또 다른 문제점은 단위딜레이가 0.2n초로 매우 작기 때문에 저주파에서 상기 제1신호 ref와 상기 피드백신호 feedback을 비교하여 록킹하는데 오랜 시간을 필요로 한다. 예를 들어 클럭 사이클이 15n초라고 하면 상기 제1신호 ref는 15n초의 펄스를 갖고 딜레이를 거쳐 나온 피드백신호 feedback은 5.2n초를 갖는데 이 두 신호를 비교하여 두 신호가 동기되는 때까지 딜레이를 15n초 - 5.2n초 = 9.8n초를 주어야 한다. 9.8n초의 딜레이를 주기 위해서는 $9.8n\text{초}/0.2n\text{초} = 49$, 즉 49번의 쉬프트를 해 주어야한다는 결론이 나오는데 이것은 록킹(Locking)하는데 오랜 시간이 걸린 것이다.(도5b 참조)

본 발명의 배경기술은 다음과 같다.

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 안출된 것으로써, 신호의 펄스 길이를 두 배의 클럭 사이클로 하여 고주파에서도 동작이 가능하며 또한, 시간 지연을 조정하여 록킹(Locking)하는데 빠른 시간을 가지는 지연 교정 루프를 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 지연교정루프 회로는, 반도체메모리 장치의 지연교정루프에 있어서, 외부 클럭을 입력받아 내부에서 사용하는 레벨 신호를 생성하기 위한 클럭버퍼; 상대적으로 큰 단위 딜레이로 구성되어 상기 클럭버퍼의 출력신호를 지연시키기 위한 제1딜레이라인부; 최소 단위딜레이로 구성되어 상기 제1딜레이라인부로부터의 출력신호를 지연시키기 위한 제2딜레이라인부; 상기 제2딜레이라인부로부터의 출력신호를 버퍼링하여 출력하기 위한 지연교정루프신호구동부; 상기 클럭버퍼의 출력에 응답하여 네 클럭마다 한번씩 클럭에 동기되어 두배의 클럭사이클에 해당하는 펄스폭을 가지는 제1신호(ref) 및 제2신호(delay_in)를 생성하기 위한 클럭분주기; 상기 제2신호가 상기 제1딜레이라인부 및 상기 제2딜레이라인부를 통해 딜레이된 값을 모델링하여 피드백신호를 생성하기 위한 딜레이모델링부; 상기 피드백신호와 상기 제1신호에 응답하여 두 신호의 시간차를 비교하는 제1위상비교기 및 제2위상비교기; 상기 제1위상비교기의 출력신호에 응답하여 상기 제1딜레이라인부의 딜레이값을 조절하기 위한 제1쉬프트수단; 및 상기 제2위상비교기의 출력신호에 응답하여 상기 제2딜레이라인부의 딜레이값을 조절하기 위한 제2쉬프트수단을 포함하여 이루어진다.

이와같이 본 발명은 상기 클럭 버퍼의 출력에 응답하여 네 클럭마다 한번씩 클럭에 동기되어 두배의 클럭 사이클에 해당하는 펄스폭을 가지는 신호를 생성하는 클럭 분주기와 제1딜레이 라인부 및 제2딜레이 라인부를 포함하는 구성을 가지고 있어 먼저 큰 딜레이를 가진 제1 딜레이 라인부로 딜레이를 맞추어 시간차이를 많이 감힌후에 최소의 딜레이를 가진 제2 딜레이 라인부로 정밀한 딜레이 조정을 해 주기 때문에 고주파에서도 동작이 가능하고 저주파에서도 초기에 빠른 록킹(Locking)시간을 달성할 수 있다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명하기로 한다.

도6은 본 발명의 지연교정루프의 블록도로써, 그의 구성은 외부 클럭 신호 CLKb를 입력으로 내부 레벨 신호 fall_clk을 생성하는 제1클럭버퍼(610)와, 외부 클럭 신호 CLK를 입력으로 내부 레벨 신호 rise_clk을 생성하는 제2클럭버퍼(610)와, 상기 내부 레벨 신호 rise_clk을 입력으로 네 클럭마다 펄스를 띄우는 제2신호 delay_in과 이에 반전된 제1신호 ref를 생성하는 클럭 분주기(620)와, 단위 딜레이를 통해서 딜레이된 딜레이 모델부(690)의 출력이 피드백되어 온 피드백 신호(feedback)와 클럭 분주기(620)로부터의 제1신호(ref)에 응답하여 두 신호의 시간차를 비교하는 제1위상 비교기(630) 및 제2위상 비교기(660)와, 상기 제1위상 비교기(630)의 출력 신호(pc_2n<0:1>)에 응답하여 쉬프트 레지스터단(650)을 제어해주는 제1쉬프트 제어기(640)와, 제1쉬프트 제어기(640)의 출력 신호 SR_2, SL_2를 입력으로 딜레이를 좌측이나 우측으로 이동시키는 제1쉬프트 레지스터(650)와, 제1쉬프트 레지스터의 제어를 받는 큰 딜레이 라인으로 구성된 제1딜레이 라인부(710)와, 상기 제2위상 비교기(660)의 출력 신호에 응답하여 쉬프트 레지스터단을 제어해주는 제2쉬프트 제어기(670)와, 상기 제2딜레이 라인부를 제어하는 제2쉬프트 레지스터(680)와, 제1딜레이 라인부에서 딜레이를 거쳐서 나온 신호를 입력으로 하는 최소의 딜레이로 구성된 제2딜레이 라인부(720)와, 상기 제2딜레이 라인부(720)에서 출력된 신호에 응답하여 클럭의 시간차를 보상하기 위한

릴레이 모델부(690)와, 상기 제2릴레이 라인부의 두개의 출력 신호(fclk_d11, rc1k_d11)에 응답하여 두 신호를 버퍼링하여 출력하는 지연고정루프 신호 구동부(700)를 포함하여 이루어진다.

도7은 본 발명의 지연 고정 루프 회로의 타이밍도로서, 도7을 참조하여 본 발명의 지연고정루프 회로의 동작상 특징을 간략히 설명하면, 먼저 외부에서 들어오는 clk, clkb를 내부에서 사용하는 레벨 신호 rise_clk, fall_clk로 바꾸어주는 클록 버퍼(610)가 있고, 주기마다 펄스를 생성하는 클록 분주기(620)가 있는데, 종래의 회로에서는 여덟번에 한번씩 클록에 동기되는 펄스를 발생하였지만 본 발명에서는 네번에 한번씩 클록에 동기되는 펄스를 만들어내고 그 펄스의 길이가 두배의 클록사이클이다. 네번마다 한번씩 상기 신호 rise_clk클록에 맞추어 발생하는 제2신호 delay_in을 생성하고 위상이 반대인 제1신호 ref를 생성한다. 상기 제1신호 ref와 릴레이모델링부(690)에서 발생된 신호 피드백신호 feedback을 입력으로 해서 제1신호(ref)와 상기 피드백신호 feedback을 비교하는 위상비교기(630,670)가 있는데 릴레이라인부(710,720)에 따라서 제1위상비교기(630)와 제2위상비교기(660)로 나뉜다. 여기서 설명되지 않은 구체적인 동작은 상세히 후술될 것이다.

도8a는 제1위상 비교기와 제1 스위프 제어기의 회로도이고, 도8b는 그에 따른 타이밍도로서, 도8a와 도8b를 참조하여 제1위상비교기(630)와 제1스윙프 제어기(640)에 대하여 살펴보자. 먼저 제1위상 비교기(630)의 구성은 상기 제1신호 ref와 상기 피드백신호 feedback을 입력으로 하는 두개의 비교기(631)와 상기 피드백신호 feedback을 릴레이 시키는 단위 릴레이(632)와, 신호 2n_comparator_end와 신호 d11_reset를 부정논리합한 후, 그 출력신호와 상기 제1신호 ref와 상기 피드백신호 feedback을 부정논리곱한 후 그 출력신호를 입력으로 해서 출력 신호 cmp_pulse를 생성하는 제어수단(633)으로 이루어져 있다.

스윙프 제어기(640)는 제1위상 비교기(630)의 출력 신호 PC0,PC2를 입력으로 하는 난드게이트(641)와, 난드게이트(641)의 출력을 반전하는 제1인버터(642), 인버터(641)의 출력신호와 제어수단(633)의 출력신호 cmp_pulse를 입력으로 하는 난드게이트(643) 및 난드게이트(643)의 출력 반전하여 출력 신호 SR을 생성하는 인버터(644)로 구성되어 있다.

종래의 위상비교기와 동작이 같으며 다른 점은 오른쪽으로 이동하는 동작만 수행한다. 제1신호 ref와 릴레이 된 피드백신호 feedback을 비교해 준 신호 PC0와 제1신호 ref와 릴레이 된 피드백신호 feedback을 하나의 단위 릴레이를 거친 신호 1delay와 비교해준 신호 PC1>을 조합하여 스위프 제어기는 우로 이동하는 신호 SR을 생성한다.

상기 피드백신호 feedback과 상기 신호 1delay가 제1신호 ref보다 앞에 있을 경우 신호 SR을 생성하여 제1스윙프 레지스터(650)에서 오른쪽 스위프가 되도록한다. 상기 피드백신호 feedback이 제1신호 ref보다 앞에 있고 상기 신호 1delay가 제1신호 ref보다 뒤에 있을 경우 록킹(Locking)이 걸리게 된다.

도9a, 도9b는 제2위상 비교기(660)와 제2스윙프 제어기(670)에 대한 회로도 및 신호 흐름도이다. 제2위상 비교기(640)는 제1신호 ref와 피드백신호 feedback을 입력으로 하는 두개의 비교기(661)와 상기 피드백신호 feedback을 릴레이 시키는 단위 릴레이(662)와 제1신호 ref와 피드백신호 feedback을 입력으로 해서 출력 신호 cmp_pulse를 생성하는 제어수단(663)으로 구성되어 있다.

제2스윙프 제어기(670)는 제2위상비교기의 출력 신호 PC0,PC2를 입력받는 난드게이트(671)와 이를 반전시킨 인버터(672), 제2위상비교기의 출력신호 PC1,PC3를 입력받는 난드게이트(673)와 이를 반전시킨 인버터(674) 및 상기 인버터(672)의 출력신호와 제어수단(663)의 출력신호 cmp_pulse를 입력받는 난드게이트(675)와 이를 반전시켜 출력신호 SR을 생성하는 인버터(676), 상기 인버터(674)의 출력신호와 제어수단(663)의 출력신호 cmp_pulse를 입력받는 난드게이트와(678)dhk 이를 반전시켜 출력신호 SL을 생성하는 인버터(679)로 구성되어 있다.

동작은 종래의 위상비교기와 같다. 제어수단(663)은 제1신호 ref와 상기 릴레이된 피드백신호 feedback가 동시에 하미인 구간에서 펄스를 만든다. 이렇게 만들어진 com_pulse신호가 뜰때 제2스윙프 제어기(670)는 위상비교기를 통해 나온 신호 PC0, PC1, PC2, PC3를 받아서 SR,SL신호를 출력한다.

제2위상 비교기의 입력 신호 2n_comparator_end신호는 이러한 동작의 시작을 알려주는 신호이다. 내부를 록이 2n초의 릴레이를 갖게 될 때 상기 신호 2n_comparator_end는 로우 값을 갖게 된다. 제1릴레이 라인으로 시간차를 보상하는 동작이 끝난 후에 제2릴레이 라인으로 시간차를 보상하는 동작을 할 수 있도록 제어해 주는 신호로써 쓰인다.

릴레이모델링부(690)은 외부에서 들어온 클록과 실제 내부에서 사용되는 클록의 시간차를 보상하기 위하여 만들어진 회로이다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

효율의 효과

상기와 같이 본 발명은 비교하는 기준 시점을 두 배의 클록 사이클에 해당하는 펄스를 사용함으로써 고주파에서도 동작이 가능하게 하였으며, 비교하는 기준 신호와의 릴레이 차가 큰 경우에 록킹(Locking)시간이 오래 걸렸던 것을 큰 제1릴레이 라인과 최소의 제2릴레이 라인을 사용함으로써 록킹(Locking)하는데 걸리는 시간을 줄여 준다.

(57) 청구의 범위

청구항 1. 반도체메모리 장치의 지연고정루프에 있어서,

외부 클록을 입력받아 내부에서 사용하는 레벨 신호를 생성하기 위한 클록버퍼;

상대적으로 큰 단위딜레이로 구성되어 상기 클록버퍼의 출력신호를 지연시키기 위한 제1딜레이라인부;
 최소 단위딜레이로 구성되어 상기 제1딜레이라인부로부터의 출력신호를 지연시키기 위한 제2딜레이라인
 부;
 상기 제2딜레이라인부로부터의 출력신호를 버퍼링하여 출력하기 위한 지연고정루프신호구동부;
 상기 클록버퍼의 출력에 응답하여 네 클록마다 한번씩 클록에 동기되어 두배의 클록사이클에 해당하는 펄
 스폭을 가지는 제1신호(ref) 및 제2신호(delay_in)를 생성하기 위한 클록분주기;
 상기 제2신호가 상기 제1딜레이라인부 및 상기 제2딜레이라인부를 통해 딜레이된 값을 모델링하여 피드백
 신호를 생성하기 위한 딜레이모델링부;
 상기 피드백신호와 상기 제1신호에 응답하여 두 신호의 시간차를 비교하는 제1위상비교기 및 제2위상비교
 기;
 상기 제1위상비교기의 출력신호에 응답하여 상기 제1딜레이라인부의 딜레이값을 조절하기 위한 제1쉬프팅
 수단; 및
 상기 제2위상비교기의 출력신호에 응답하여 상기 제2딜레이라인부의 딜레이값을 조절하기 위한 제2쉬프팅
 수단
 을 포함하여 이루어진 반도체메모리장치의 지연고정루프.

청구항 2. 제1항에 있어서,

상기 제1쉬프팅수단은,

상기 제1딜레이라인부의 딜레이값을 조절하는 제1쉬프트레지스터; 및

상기 제1위상비교기의 출력신호에 응답하여 상기 제1쉬프트레지스터에 저장된 값을 제1방향으로 쉬프트
 제어하기 위한 제1쉬프트제어기

를 포함하여 이루어진 반도체메모리장치의 지연고정루프.

청구항 3. 제1항에 있어서,

상기 제2쉬프팅수단은,

상기 제2딜레이라인부의 딜레이값을 조절하기 위한 제2쉬프트레지스터; 및

상기 제2위상비교기의 출력신호에 응답하여 상기 제2쉬프트레지스터에 저장된 값을 제1 및 제2 방향으로
 쉬프트 제어하기 위한 제1쉬프트제어기

를 포함하여 이루어진 반도체메모리장치의 지연고정루프.

청구항 4. 제2항에 있어서,

상기 제1위상비교기는,

상기 제1신호와 상기 피드백신호에 응답하는 입력된 신호의 선후를 비교하기 위한 제1비교기;

상기 피드백신호를 딜레이시키는 단위딜레이;

상기 제1신호와 상기 단위딜레이의 출력신호에 응답하여 입력된 신호의 선후를 비교하기 위한 제2비교기;
 및

리셋신호와, 상기 제1신호 및 상기 피드백신호에 응답하여 상기 제1쉬프트제어기를 리셋시키기 위한 제어
 수단

를 포함하여 이루어진 반도체메모리장치의 지연고정루프.

청구항 5. 제4항에 있어서,

상기 제어수단의 리셋신호는 상기 제1 및 제2 비교기의 출력에 응답하여 시간 지연량의 조절이 끝남을 감
 지한 감지신호 및 외부로부터의 입력되는 지연고정루프리셋신호를 포함하는 것을 특징으로 반도체메모리
 장치의 지연고정루프.

청구항 6. 제5항에 있어서,

상기 제어수단은,

상기 감지신호와 상기 지연고정루프리셋신호를 부정논리합하는 제1노아게이트;

상기 노아게이트의 출력과 상기 제1신호와 상기 피드백신호를 부정논리곱하는 난드게이트; 및
 상기 난드게이트의 출력신호를 지연반전시키기 위한 직렬연결된 다수의 인버터;
 상기 인버터의 출력신호와 상기 난드게이트의 출력신호를 부정논리합한 리셋제어신호를 출력하는 제2노아
 게이트
 를 포함하여 이루어진 반도체메모리장치의 지연교정루프.

청구항 7. 제4항에 있어서,

제1쉬프트제어기는,

상기 제1비교기로부터의 출력신호와 상기 제2비교기로부터의 출력신호를 부정논리곱하는 제1난드게이트;
 상기 제1난드게이트의 출력을 반전하기 위한 제1인버터;
 상기 제1인버터의 출력신호와 상기 제어수단의 출력신호에 응답하여 부정논리곱하는 제2난드게이트; 및
 상기 제2난드게이트의 출력을 반전하여 상기 제1쉬프트레지스터를 제1방향으로 이동시키기 위한 쉬프팅제
 어신호를 출력하는 제2인버터
 를 포함하여 이루어진 반도체메모리 장치의 지연교정루프.

청구항 8. 제3항에 있어서,

상기 제2위상비교기는,

상기 제1신호와 상기 피드백신호에 응답하는 입력된 신호의 선후를 비교하기 위한 제1비교기;
 상기 피드백신호를 딜레이시키는 단위딜레이;
 상기 제1신호와 상기 단위딜레이의 출력신호에 응답하여 입력된 신호의 선후를 비교하기 위한 제2비교기;
 및
 리셋신호와, 상기 제1신호 및 상기 피드백신호에 응답하여 상기 제1쉬프트제어기를 리셋시키기 위한 제어
 수단
 를 포함하여 이루어진 반도체메모리장치의 지연교정루프.

청구항 9. 제8항에 있어서,

상기 제어수단의 리셋신호는 상기 제1 및 제2 비교기의 출력에 응답하여 시간 지연량의 조절이 끝남을 감
 지한 감지신호임을 특징으로 하는 반도체메모리장치의 지연교정루프.

청구항 10. 제6항에 있어서,

상기 제어수단은,

상기 감지신호를 반전하는 인버터;

상기 인버터의 출력과 상기 제1신호와 상기 피드백신호를 부정논리곱하는 난드게이트; 및

상기 난드게이트의 출력신호를 지연반전시키는 직렬연결된 다수의 인버터단;

상기 인버터단의 출력과 상기 난드게이트의 출력을 부정논리합하여 상기 제2쉬프트제어기를 리셋시키기
 위한 리셋제어신호를 출력하는 노아게이트

를 포함하여 이루어진 반도체메모리 장치의 지연교정루프.

청구항 11. 제8항에 있어서,

제2쉬프트제어기는,

상기 제1비교기로부터의 출력신호와 상기 제2비교기로부터의 출력신호를 부정논리곱하는 제1 및 제2난드
 게이트;

상기 제1난드게이트의 출력을 반전하기 위한 제1인버터;

상기 제2난드게이트의 출력을 반전하기 위한 제2인버터;

상기 제1인버터의 출력신호와 상기 제어수단의 출력신호를 부정논리곱하는 제3난드게이트;

상기 제2인버터의 출력신호와 상기 제어수단의 출력신호를 부정논리곱하는 제4난드게이트;

상기 제3난드게이트의 출력을 반전하여 상기 제2쉬프트레지스터를 제1방향으로 쉬프트시키기 위한 쉬프팅
 제어신호를 출력하는 제3인버터; 및

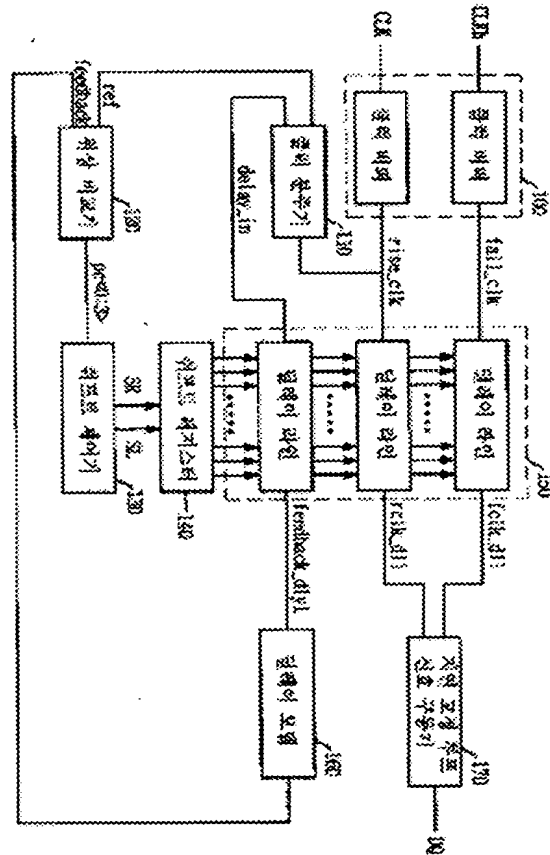
상기 제4단드레프트의 출력을 변경하여 상기 제2위트레지스터를 제2방향으로 이동시키기 위한 쉬프트 제어신호를 출력하는 제4인버터
를 포함하며 이후대진 반도체 메모리장치의 지연고정부분.

청구항 12. 제4항에 있어서,

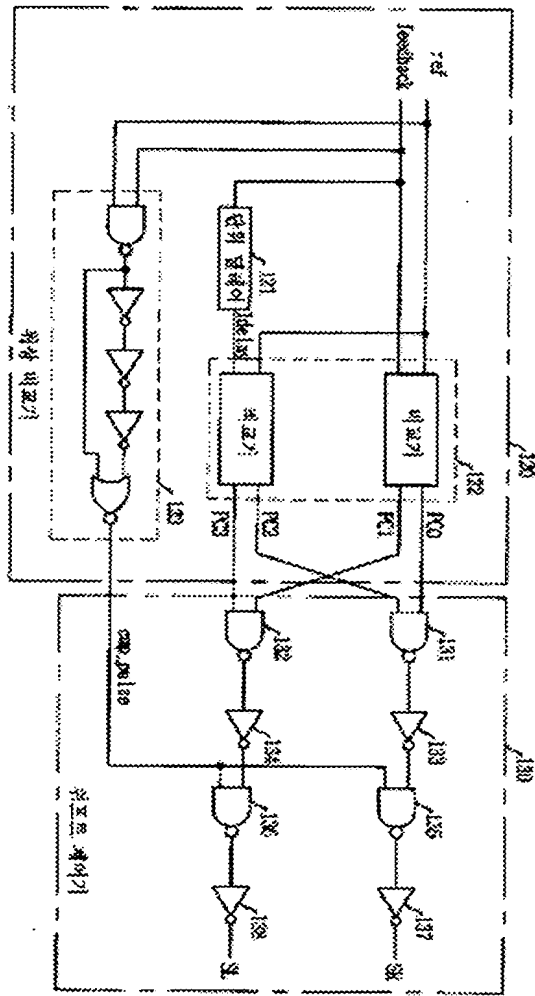
상기 제1클럭이 라인부 및 상기 제2클럭이 라인부는 서로 선택적으로 구동되는 것을 특징으로 하는 반도체 메모리장치의 지연고정부분.

도 18

도 18



도 22



도 23

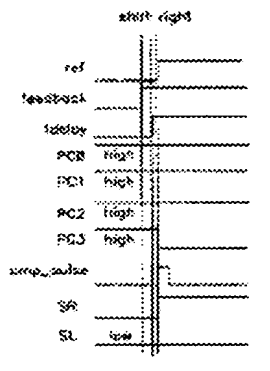


FIG. 22

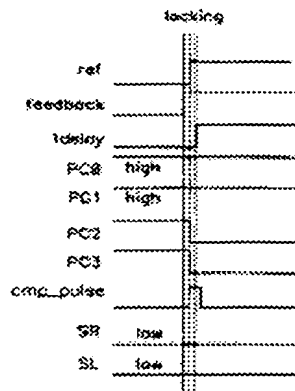


FIG. 23

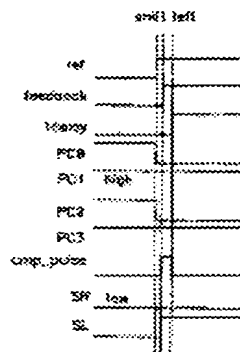


Figure 18

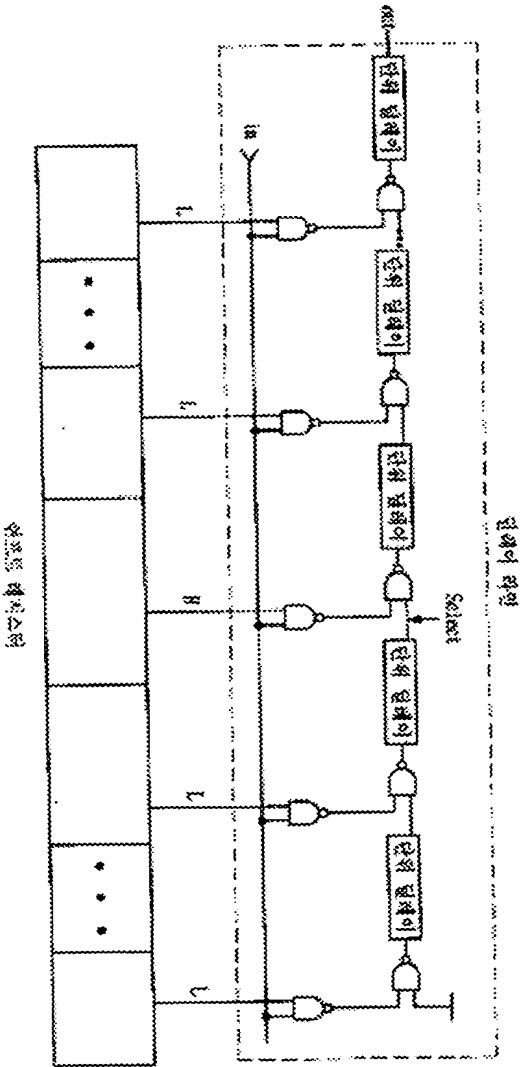


Figure 18-11

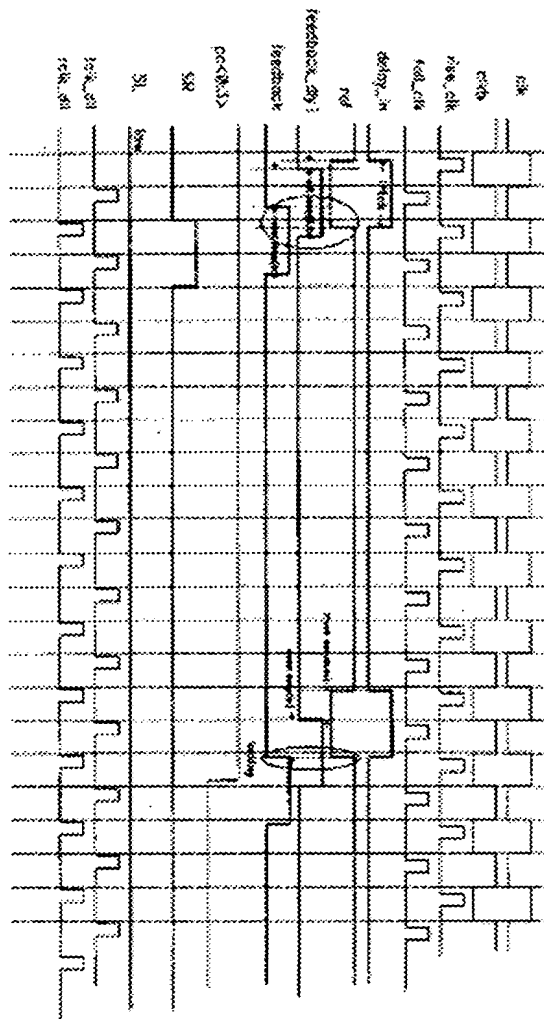


Figure 18-12

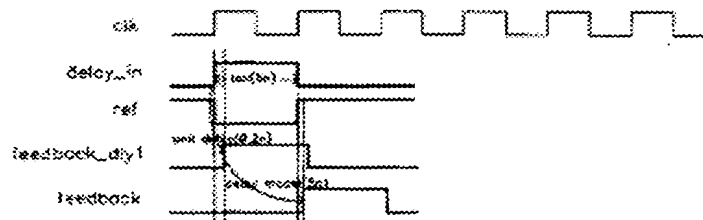


圖 2001-0054117

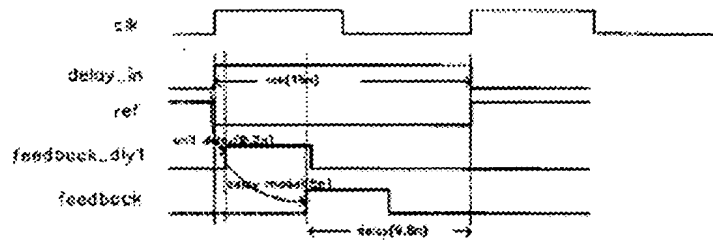
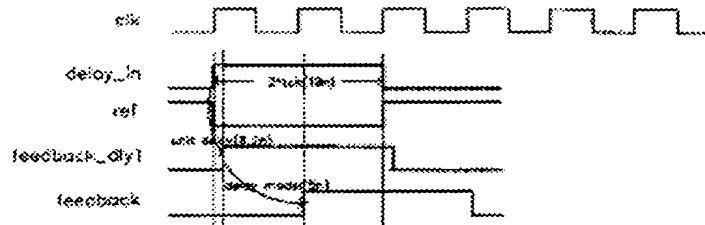
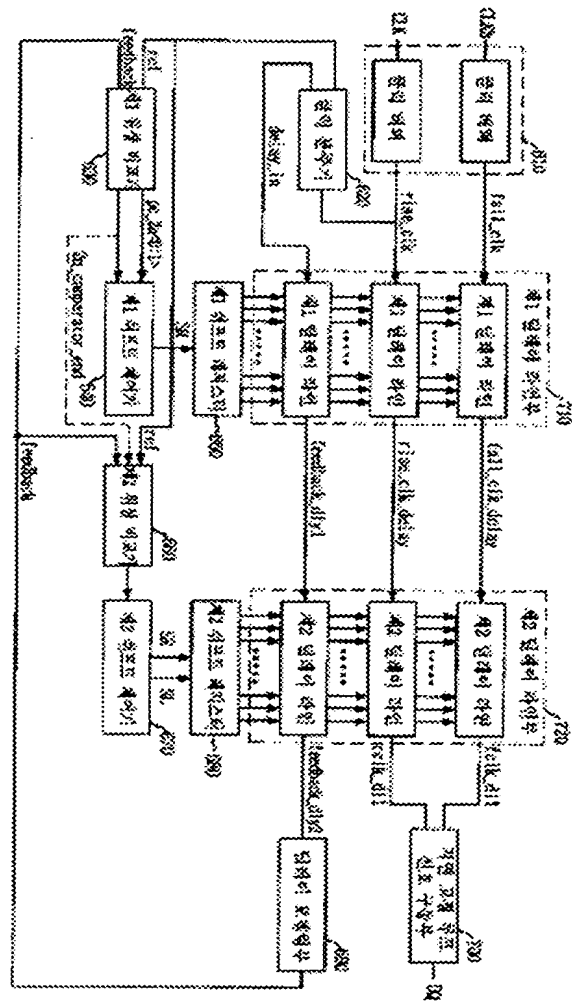
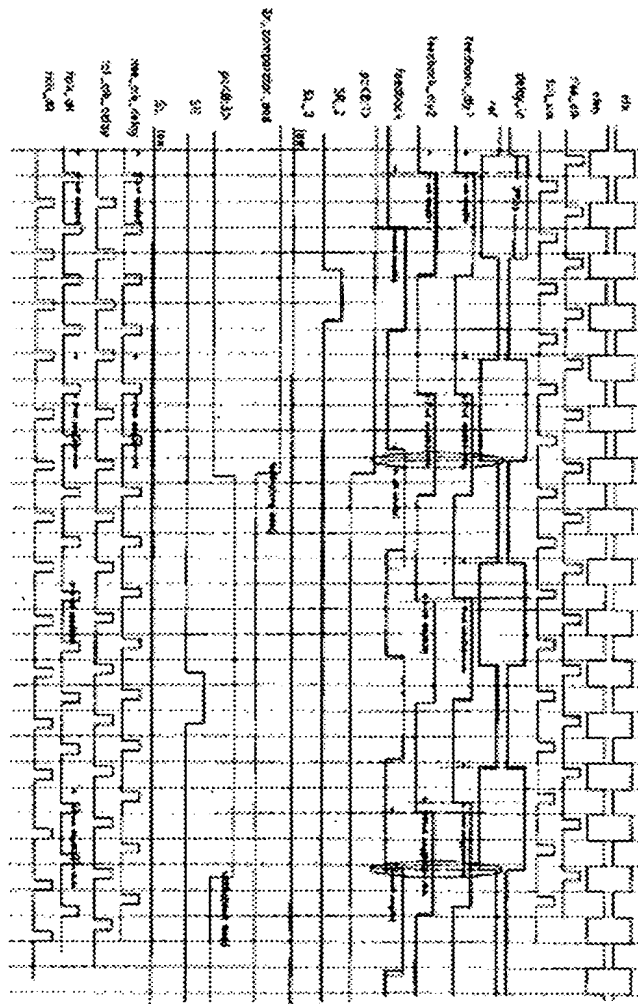


圖 2001-0054117

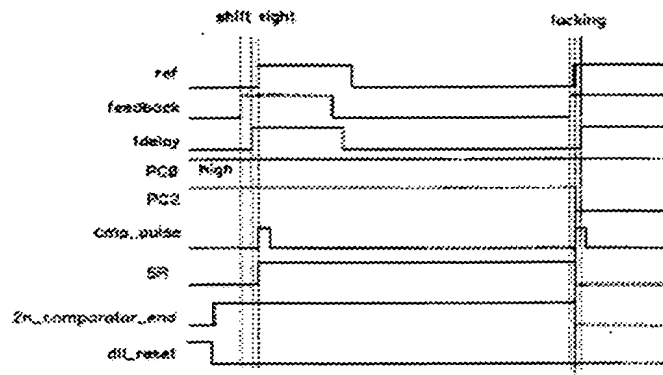


도 13





SE 2000



제 18도

